

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-121250

(43)Date of publication of application : 28.07.1982

(51)Int.Cl.

H01L 21/82

H01L 27/04

(21)Application number : 56-006680

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.01.1981

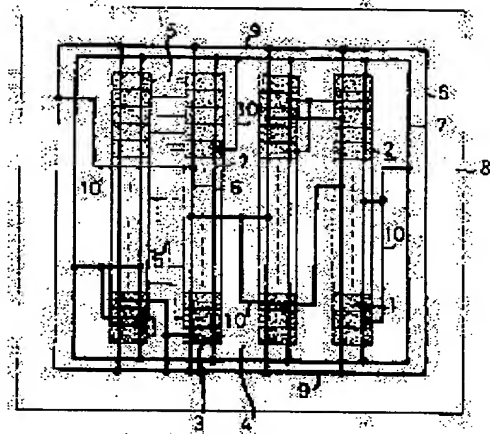
(72)Inventor : TAKADA TOMOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable wiring of a power source having small DC resistance and small inductance without losing the degree of freedom of wiring by arranging a power source wire and a ground wire on the wiring tracks of a vacant region, to which no signal wire is supplied on the wiring region.

CONSTITUTION: A plurality of function element regions 3 made of a plurality of cell rows 2 each having logic function cells 1 are formed on a semiconductor chip 8, and the intermediate ports between the regions 3 are used as signal wire laying regions 4. A bus 9 having a power line and a ground line is arranged to surround the regions 3, 4, and a power wire 6 and a ground wire 7 are arranged on the element region. A signal wire 5 is laid along the wiring track on the region 4, and an auxiliary power line or ground line 10 forming a bypass are formed on the vacant region on the region 4 on which no signal wire is laid. In this manner, the DC resistance of the power line wire is substantially reduced, and the wiring inductance can be simultaneously reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
昭57-121250

④ 公開特許公報 (A)

⑤ Int. Cl.⁸ 識別記号 庁内整理番号
H 01 L 21/82 6749-5F
27/04 8122-5F

③ 公開 昭和57年(1982)7月28日
発明の数 1
審査請求 未請求

(全 4 頁)

⑥ 半導体集積回路 京芝浦電気株式会社総合研究所

内

⑦ 出 願 人 東京芝浦電気株式会社

⑧ 出 願 昭56(1981)1月20日 川崎市幸区堀川町72番地

⑨ 発 明 者 高田知二 外 2 名

⑩ 代 理 人 弁理士 鈴江武彦

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

各種論理機能を実現する複数の能動素子を形成した素子領域と、上記能動素子に上り突出される論理機能の入出力を相互に接続する配線ラックを形成した配線領域と、前記素子領域とそれと接続されて前記配線領域の能動素子にそれぞれ電力を供給する電源部および接地部とを備えた半導体集積回路において、前記配線領域上の所与配線に供されたなかつた型基質の配線ラックに電源部および接地部を配設して前記素子領域上の電源部および接地部にそれぞれ接続したことを特徴とする半導体集積回路。

3. 発明の詳細な説明

本発明は論理機能素子の配置および配線の自由度を図ることとなしに直流電圧およびインダクタンスの小さい電流供給を行う得る半導体集積回路に関する。

半導体集積回路 (LSI) が大規模化されるに伴い、論理機能素子から能動素子および配線のマスクパターン設計、所与ポートラック設計に多大な努力を要する。そこで最近では計算機を用いたポートラック自動設計が考えられ、この自動設計に適した LSI 方式としてマス・フロー・スライズ方式やビームデフインングプロセス方式が注目されている。

マス・フロー・スライズ方式は1つの半導体チップ上にトランジスタ等の能動素子および抵抗等の交差素子によって構成される状素素を予めマトリクス状に多数面形成し、開発品種 (回路機能の仕様) に応じて配線マスクを作成して状素素内の素子を結合し、これによって所望の論理機能を実現する。そしてこれら素子に上り突出された論理機能領域を接続して所望とする半導体集積回路を完成するものである。

またビームデフインングプロセス方式は1つの論理機能に對し、その機能を実現する為のポートラックパターンを有する論理素子をマスクライブラリ

に登録しておき、これを論理機能仕様に対応して適宜選択・組合せして配線し、論理素子間の配線を行って所望とする回路機能の半導体集積回路を完成するものである。

しかしこれら方式に共通することは、半導体チップ上に論理機能を実現する能動素子が形成された能動素子領域と、上記論理機能の人出力を供給する配線ラックを形成した配線領域とを備える点である。上記配線ラックは線格化された線および側端で仮想的に規定されたマトリクス状の構造で、この配線ラック上に利用論理機能の入出力を接続する配線が施される。また別の共通点は各能動素子に電力を供給する電源部および接地部が、上記能動素子領域を貫通して設けられる点である。

これらいずれの方式にあっても、またこれらに類似する他の方式であっても、LSI の大規模化および微細化に伴い、次のような問題が生じてきた。この問題につきマス・フロー・スライズ方式により実現される半導体集積回路を例に説明す

抵抗 $R = 2.83 \times 10^{-4} \Omega \cdot \text{cm}$ の Al 材料で形成された電源線幅 W の幅が $2 \mu\text{m}$ 、長さ $10 \mu\text{m}$ である場合、その直流抵抗値は 117Ω となる。これを上下2ヶ所において母線に接続した場合でも、チップ中央に 10mA の電流を流す場合、電源線が実現される 0.88V の電圧降下を生じる。このような電圧降下は、回路動作の遅延低下を招く上、副作用の要因となる。またこれはその回路が C-MOS 構造であれば、チップ上での電圧降下も同様である。

また上述の如き電源線に於ては、そのインダクタンスも相当大となる。例えば上記仕様の Al 配線である $10 \mu\text{m}$ の長さで約 13pH のインダクタンスが生じる。このインダクタンスは電源線幅 $2 \mu\text{m}$ 、長さ $10 \mu\text{m}$ の電圧降下 $(dV/dt = 10^7 \text{V}/\text{sec})$ があると、その両端間に 0.13V のスバイク電圧を発生させる。このスバイク電圧によっても回路の動作やラックアップ現象が生じ、改善されなければならぬ問題であった。

る。

① 図は状素素 (論理機能素子) を含む、同一基板上に形成した電源線素子の LSI の一例を示すもので、上記素子に於て1つの能動素子領域が形成されている。そして上記能動素子領域の間に配線領域が形成され、同じ能動素子領域内に線格化された間隔を以て格子状に配線ラックが規定されている。そして、この配線ラック上に各能動素子を、前記電源線が配線されている。またこの例では、上記能動素子領域および配線領域の列方向に電源線幅および接地線幅がそれぞれ規定され、各能動素子への電力供給が行われている。同、図中 W は半導体チップを示している。

しかし、LSI の大規模化および微細化に伴い、電源線幅および接地線幅の配線は、その幅が狭く、厚さが薄くなり、しかも波長が長くなる。この為、電流ラインの抵抗が大幅に増え、電圧降下の低下が顕著となる。例えば此

これに對して図2に示すように、電源線幅および接地線幅を素子列に對して垂直方向にも設け、格子状の電源ラインを形成するものが考えられた。然し乍ら上述した不足が解消されるものの、配線領域を横切る電源線幅および接地線幅が狭くなり、配線ラックに於ける電圧降下が増え、また論理素子の配線領域の自由度が著しく妨げられた。また電源線幅の配線も同様で、利用素子および配線ラックの配置も同様で大幅に低下するとする新しい問題を招いた。本発明はこのような問題を考慮してなされたもので、その目的とするところは、論理機能素子の配線および信号配線の自由度を妨げることなしに電源ラインの安定化を図って電圧降下を減少せしめ、回路動作やラックアップ現象を防止するようにした実用性の高い半導体集積回路を提供することにある。

本発明の概略は、論理機能素子を形成した能動素子領域と配線ラインを規定して信号配線がなされる配線領域とを備え、上記能動素子領域

に実地して電線網および集電線を設けて各線路に電力を供給するようになした半導体集電回路において、回路仕様に依りて自由に信号配線がなされた配線網の空き領域に電線網および集電線を配設し、これを適宜配線することによって電線網の安定化を図り、これによって上述した目的を効果的に達成したものである。

以下、図面を参照して本発明の一実施例につき説明する。

第3図は実施例回路の平面構成を模式的に示したものであり、第1図および第2図に示す従来例と同一部分には同一符号を付して示してある。

半導体チップ60上には、トランジスタ等の配線素子および抵抗やコンデンサ等の受動素子により構成された汎用の集電回路セル1が所定の配列規則に従って配置形成されている。これらの集電回路セル1は所定配置かつ隣り合うセル列を構成し、且つこのプロ

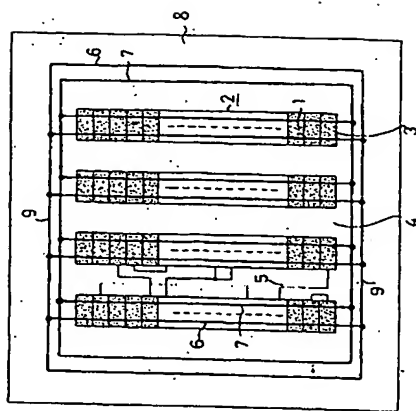
た配線領域1上の空き領域を利用して補助線10が配設される。この補助線10は前記配線素子領域1を貫通する電線網6および集電線7にそれぞれ適宜接続され、電線網のバイパスルートを実現するもので、補助的な電線網あるいは線路として機能するものである。そして、この補助線10は、配線領域1に余裕のある限り、その空き領域を利用して網の自在に設けられる。かくしてこのように配線された本実施例回路においては、補助的な電線網あるいは集電線として機能する補助線10は、信号配線6が配設形成された空き領域を利用して設けられるものであるから、集電回路セル1の配置や配線の自由度が妨げられることがない。また補助線10は電線網6および集電線7に流れる電流をバイパス、つまり分散させるので、実質的に集電回路セル1の直流抵抗を下げ、回路にその配線インダクタンスを減少させる。従って電圧降下やスリップ電圧による供給作用およびラッパ現象の要因が効果的に取除かれ、安定した

BEST AVAILABLE COPY

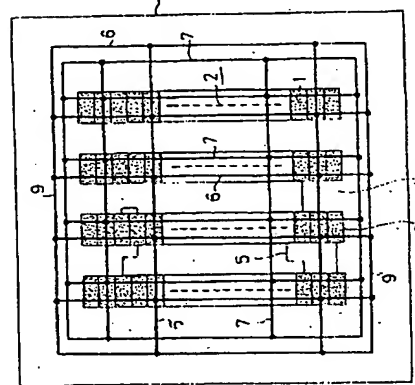
子領域、4...配線領域、5...信号配線、6...電線網、7...集電線、8...半導体チップ、9...回路、10...補助線。

第1図

出願人代理人 弁護士 村江 次 彦



第2図



第3図

